

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-223552

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl. <sup>6</sup>	識別記号	F I	
H O 1 L 21/265		H O 1 L 21/265	J
21/76		27/12	E
27/12			F
		21/76	E

審査請求 未請求 請求項の数10 O L (全 11 頁)

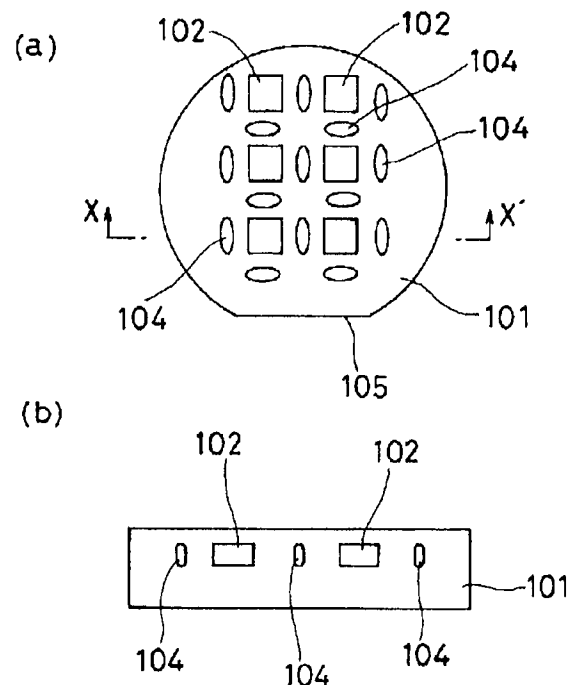
(21) 出願番号	特願平9-28924	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成9年(1997)2月13日	(72) 発明者	東 賢一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74) 代理人	弁理士 平木 祐輔

(54) 【発明の名称】 S O I 半導体基板及びその製造方法

(57) 【要約】

【課題】 温度上昇を抑制するとともに電気放電に対する耐性の向上したSOI半導体基板を提供する。

【解決手段】 単結晶シリコン基板 101 中に、絶縁膜 102 とともに導体又は半導体 104 を局所的に形成する。



## 【特許請求の範囲】

【請求項1】 単結晶シリコン基板に絶縁膜とともに導体又はドーパされた半導体が各々局所的に埋め込まれていることを特徴とする半導体基板。

【請求項2】 前記絶縁膜と導体又はドーパされた半導体とが基板面に平行な方向に交互に配置されていることを特徴とする請求項1記載の半導体基板。

【請求項3】 単結晶シリコン基板の局所的な位置に単結晶シリコンと反応して絶縁膜を形成する原子をイオン注入し、その後にアニールすることによって前記単結晶シリコン基板に絶縁膜を局所的に埋め込む第1の工程と、前記単結晶シリコン基板の局所的な位置に単結晶シリコンと反応して導電性があるケイ化物を形成する原子をイオン注入し、その後にアニールすることによって前記単結晶基板にケイ化物を局所的に埋め込む第2の工程とを含むことを特徴とする半導体基板の製造方法。

【請求項4】 請求項3記載の半導体基板の製造方法において、

前記第2の工程は、前記単結晶シリコン基板上にフォトリソグラフィ工程により単結晶シリコンの内部にケイ化物を形成する箇所の上のフォトリソグラフィを除去し、単結晶シリコンと反応してケイ化物を形成する原子をイオン注入し、その後にアニールすることによって、所望の位置にケイ化物を埋め込むことを特徴とする半導体基板の製造方法。

【請求項5】 請求項3記載の半導体基板の製造方法において、

前記第2の工程は、前記単結晶シリコン基板の表面に絶縁膜を形成し、前記絶縁膜の上にフォトリソグラフィを塗布し、フォトリソグラフィ工程により単結晶シリコンの内部にケイ化物を形成する箇所のフォトリソグラフィを除去し、単結晶シリコンと反応してケイ化物を形成する原子をイオン注入し、単結晶シリコン上に残っているフォトリソグラフィを除去し、その後、アニールすることによって、所望の位置にケイ化物を埋め込むことを特徴とする半導体基板の製造方法。

【請求項6】 単結晶シリコン基板の局所的な位置に単結晶シリコンと反応して絶縁膜を形成する原子をイオン注入し、その後にアニールすることによって前記単結晶シリコン基板に絶縁膜を局所的に埋め込む第1の工程と、前記単結晶シリコン基板の局所的な位置に単結晶シリコンに固溶して導電性あるいは半導体のシリコンを形成する原子をイオン注入し、その後にアニールすることによって前記単結晶シリコン基板にドーパを受けたシリコンを局所的に埋め込む第2の工程とを含むことを特徴とする半導体基板の製造方法。

【請求項7】 単結晶シリコン基板の局所的な位置に単結晶シリコンと反応して絶縁膜を形成する原子をイオン

注入し、その後にアニールすることによって前記単結晶シリコン基板に絶縁膜を局所的に埋め込む第1の工程と、

前記単結晶シリコン基板の局所的な位置に導電性あるいは半導体の金属の少なくとも一種をイオン注入し、その後にアニールすることによって前記単結晶シリコン基板に導電性あるいは半導体の金属を局所的に埋め込む第2の工程とを含むことを特徴とする半導体基板の製造方法。

【請求項8】 第1の単結晶シリコン基板上にシリコンと反応してケイ化物を形成する原子を局所的に堆積させ、そののちアニールしてケイ化物を前記第1の単結晶シリコン基板表面に局所的に形成する工程と、前記第1の単結晶シリコン基板表面に局所的に厚いシリコン酸化膜を形成し、そののち前記シリコン酸化膜と単結晶シリコン基板の表面が同一の表面になるまで前記シリコン酸化膜を除去してシリコン酸化膜を前記第1の単結晶シリコン基板表面に局所的に形成する工程と、前記第1の単結晶シリコン基板と第2の単結晶シリコン基板とを、前記第1の単結晶シリコン上に形成したケイ化物及びシリコン酸化膜を内部にして高温雰囲気中にて貼り合わせる工程と、前記貼り合わされた第1の単結晶シリコン基板又は第2の単結晶シリコン基板を、前記シリコン酸化膜の上に所望の厚みの単結晶シリコン層が残るまで研磨あるいはエッチング等により除去する工程とを含むことを特徴とする所望の位置にケイ化物及びシリコン酸化膜が埋め込まれた半導体基板の製造方法。

【請求項9】 第1の単結晶シリコン基板に単結晶シリコンに固溶して導電性あるいは半導体のシリコンを形成する原子を局所的にイオン注入し、そののちアニールして導電性あるいは半導体のシリコンを局所的に形成する工程と、前記第1の単結晶シリコン基板表面に局所的に厚いシリコン酸化膜を形成し、そののち前記シリコン酸化膜と単結晶シリコン基板の表面が同一の表面になるまで前記シリコン酸化膜を除去してシリコン酸化膜を前記第1の単結晶シリコン基板表面に局所的に形成する工程と、前記第1の単結晶シリコン基板と第2の単結晶シリコン基板とを、前記第1の単結晶シリコン上に形成した導電性あるいは半導体のシリコン及びシリコン酸化膜を内部にして高温雰囲気中にて貼り合わせる工程と、前記貼り合わされた第1の単結晶シリコン基板又は第2の単結晶シリコン基板を、前記シリコン酸化膜の上に所望の厚みの単結晶シリコン層が残るまで研磨あるいはエッチング等により除去する工程とを含むことを特徴とする所望の位置に導電性あるいは半導体のシリコン及びシリコン酸化膜が埋め込まれた半導体基板の製造方法。

【請求項10】 第1の単結晶シリコン基板上に局所的に凹部を形成し、前記凹部に導体を堆積させ、そののち

表面を研磨することにより導体を前記第1の単結晶シリコン基板表面に局所的に形成する工程と、  
前記第1の単結晶シリコン基板表面に局所的に厚いシリコン酸化膜を形成し、そのうち前記シリコン酸化膜と単結晶シリコン基板の表面が同一の表面になるまで前記シリコン酸化膜を除去してシリコン酸化膜を前記第1の単結晶シリコン基板表面に局所的に形成する工程と、  
前記第1の単結晶シリコン基板と第2の単結晶シリコン基板とを、前記第1の単結晶シリコン上に形成した導体及びシリコン酸化膜を内部にして高温雰囲気中にて貼り合わせる工程と、  
前記貼り合わされた第1の単結晶シリコン基板又は第2の単結晶シリコン基板を、前記シリコン酸化膜の上に所望の厚みの単結晶シリコン層が残るまで研磨あるいはエッチング等により除去する工程とを含むことを特徴とする所望の位置に導体あるいは半導体のシリコン及びシリコン酸化膜が埋め込まれた半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板及びその製造方法に関するものである。

【0002】

【従来の技術】電気絶縁膜上に形成した半導体シリコン(SOI; Silicon On Insulator)は、高速化・高集積化が可能な半導体基板として近年注目を集めている。SOI半導体基板は、図10に断面構造を示すように、厚さ500~1000 $\mu$ mのシリコン基板121上に数十nm~数 $\mu$ mの厚さのシリコン酸化膜などの電気絶縁物122を形成し、その上に厚さ数十nm~数 $\mu$ mの単結晶シリコン層(SOI層)123を形成したものである。

【0003】SOI半導体基板に形成した半導体集積回路は、電気絶縁膜122上の単結晶シリコン層(SOI層)123が非常に薄いために、特に集積回路が相補型MIS(Metal Insulator Semiconductor)トランジスタである場合、ソース・基板間、ドレイン・基板間、ゲート・基板間いずれの電気容量も従来のバルクシリコン基板に比べて低減され、集積回路の高速化が可能となる利点を有している。加えて、電気絶縁膜122が存在することにより、隣接する2つのトランジスタの間の素子分離領域を非常に狭く作ることができ、さらなる高集積化が可能になる利点も有している。

【0004】ところで、SOI半導体基板は、そこに作製された集積回路が動作しているときに流れる電流によって生じる温度上昇のため、MISトランジスタのゲート絶縁膜中にキャリアの捕獲準位が多数発生し、トランジスタ特性の変動がおこり、さらには集積回路の信頼性が損なわれることとなる。この欠点を克服するものとして特開平6-302791号公報に記載されている技術がある。これは、図11(a)の平面図及び図11

(b)のA-A'断面図に示すように、単結晶シリコン基板111中に局所的に電気絶縁膜112を埋め込むようにするものである。このように電気絶縁膜112を局所的に埋め込むことにより、電気絶縁膜112のない領域を通して熱が単結晶シリコン基板111に放散されるため、単結晶シリコン層(SOI層)113に熱が蓄積されにくくなり、集積回路の信頼性を向上することができる。

【0005】

【発明が解決しようとする課題】上記のように優れた特徴を有するSOI半導体基板ではあるが、集積回路が形成される薄い単結晶シリコン層の真下に絶縁膜が存在するために、集積回路を作製する工程、例えばイオン注入工程やプラズマに被曝する工程などで、埋め込み絶縁膜上の単結晶シリコン層(SOI層)と単結晶シリコン基板との間に電位差が生じる。あるいは、ゲートと単結晶シリコンとの間でも同様に電位差が生じる。

【0006】このように絶縁膜がウェハ全面に埋め込まれている従来のSOI半導体基板では、集積回路形成の工程で表裏のシリコン膜間に電位差が生じるため、この電位差による静電気放電で埋め込み絶縁膜が破壊されることがある。このため、集積回路作製中にSOI半導体基板の埋め込み絶縁膜とトランジスタのゲート絶縁膜が所期の役割を果たさなくなる。さらに二次的な効果として、完成した集積回路においても静電気放電に対する耐性が劣化する。

【0007】本発明は、このような従来技術の問題点を鑑みてなされたもので、温度上昇を抑制すると共に静電気放電に対する耐性の向上したSOI半導体基板を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明においては、単結晶シリコン基板中に、絶縁膜とともに導体又は半導体を局所的に形成することにより前記目的を達成する。

【0009】すなわち、本発明の半導体基板は、単結晶シリコン基板に絶縁膜とともに導体又はドーパされた半導体が各々局所的に埋め込まれていることを特徴とする。絶縁膜と導体又はドーパされた半導体とは、基板面に平行な方向に交互に配置される。

【0010】また、本発明による半導体基板の製造方法は、単結晶シリコン基板の局所的な位置に単結晶シリコンと反応して絶縁膜を形成する原子をイオン注入し、その後にアニールすることによって前記単結晶シリコン基板に絶縁膜を局所的に埋め込む第1の工程と、単結晶シリコン基板の局所的な位置に単結晶シリコンと反応して導電性があるケイ化物を形成する原子をイオン注入し、その後にアニールすることによって単結晶基板にケイ化物を局所的に埋め込む第2の工程とを含むことを特徴とする。

【0011】前記第2の工程では、単結晶シリコン基板

上にフォトレジストを塗布し、フォトリソグラフィ工程により単結晶シリコンの内部にケイ化物を形成する箇所の上のフォトレジストを除去し、単結晶シリコンと反応してケイ化物を形成する原子をイオン注入し、その後にアニールすることによって、所望の位置にケイ化物を埋め込むことができる。

【0012】前記第2の工程では、前記単結晶シリコン基板の表面に絶縁膜を形成し、前記絶縁膜の上にフォトレジストを塗布し、フォトリソグラフィ工程により単結晶シリコンの内部にケイ化物を形成する箇所のフォトレジストを除去し、単結晶シリコンと反応してケイ化物を形成する原子をイオン注入し、単結晶シリコン上に残っているフォトレジストを除去し、その後、アニールすることによって、所望の位置にケイ化物を埋め込むこともできる。

【0013】また、本発明による半導体基板の製造方法は、単結晶シリコン基板の局所的な位置に単結晶シリコンと反応して絶縁膜を形成する原子をイオン注入し、その後にアニールすることによって単結晶シリコン基板に絶縁膜を局所的に埋め込む第1の工程と、単結晶シリコン基板の局所的な位置に単結晶シリコンに固溶して導電性あるいは半導体のシリコンを形成する原子をイオン注入し、その後にアニールすることによって単結晶シリコン基板にドーパを受けたシリコンを局所的に埋め込む第2の工程とを含むことを特徴とする。

【0014】また、本発明による半導体基板の製造方法は、単結晶シリコン基板の局所的な位置に単結晶シリコンと反応して絶縁膜を形成する原子をイオン注入し、その後にアニールすることによって単結晶シリコン基板に絶縁膜を局所的に埋め込む第1の工程と、単結晶シリコン基板の局所的な位置に導電性あるいは半導体の金属の少なくとも一種類をイオン注入し、その後にアニールすることによって単結晶シリコン基板に導電性あるいは半導体の金属を局所的に埋め込む第2の工程とを含むことを特徴とする。

【0015】また、本発明による所望の位置にケイ化物及びシリコン酸化膜が埋め込まれた半導体基板の製造方法は、第1の単結晶シリコン基板上にシリコンと反応してケイ化物を形成する原子を局所的に堆積させ、そののちアニールしてケイ化物を第1の単結晶シリコン基板表面に局在的に形成する工程と、第1の単結晶シリコン基板表面に局所的に厚いシリコン酸化膜を形成し、そののちシリコン酸化膜と単結晶シリコン基板の表面が同一の表面になるまでシリコン酸化膜を除去してシリコン酸化膜を第1の単結晶シリコン基板表面に局在的に形成する工程と、第1の単結晶シリコン基板と第2の単結晶シリコン基板とを、第1の単結晶シリコン上に形成したケイ化物及びシリコン酸化膜を内部にして高温雰囲気中にて貼り合わせる工程と、貼り合わされた第1の単結晶シリコン基板又は第2の単結晶シリコン基板を、シリコン酸

化膜の上に所望の厚みの単結晶シリコン層が残るまで研磨あるいはエッチング等により除去する工程とを含むことを特徴とする。

【0016】また、本発明による所望の位置にケイ化物及びシリコン酸化膜が埋め込まれた半導体基板の製造方法は、第1の単結晶シリコン基板に単結晶シリコンに固溶して導電性あるいは半導体のシリコンを形成する原子を局所的にイオン注入し、そののちアニールして導電性あるいは半導体のシリコンを局所的に形成する工程と、第1の単結晶シリコン基板表面に局所的に厚いシリコン酸化膜を形成し、そののちシリコン酸化膜と単結晶シリコン基板の表面が同一の表面になるまでシリコン酸化膜を除去してシリコン酸化膜を第1の単結晶シリコン基板表面に局在的に形成する工程と、第1の単結晶シリコン基板と第2の単結晶シリコン基板とを、第1の単結晶シリコン上に形成した導電性あるいは半導体のシリコン及びシリコン酸化膜を内部にして高温雰囲気中にて貼り合わせる工程と、貼り合わされた第1の単結晶シリコン基板又は第2の単結晶シリコン基板を、シリコン酸化膜の上に所望の厚みの単結晶シリコン層が残るまで研磨あるいはエッチング等により除去する工程とを含むことを特徴とする。

【0017】また、本発明による所望の位置にケイ化物及びシリコン酸化膜が埋め込まれた半導体基板の製造方法は、第1の単結晶シリコン基板上に局所的に凹部を形成し、凹部に導体を堆積させ、そののち表面を研磨することにより導体を第1の単結晶シリコン基板表面に局在的に形成する工程と、第1の単結晶シリコン基板表面に局所的に厚いシリコン酸化膜を形成し、そののちシリコン酸化膜と単結晶シリコン基板の表面が同一の表面になるまでシリコン酸化膜を除去してシリコン酸化膜を第1の単結晶シリコン基板表面に局在的に形成する工程と、第1の単結晶シリコン基板と第2の単結晶シリコン基板とを、第1の単結晶シリコン上に形成した導体及びシリコン酸化膜を内部にして高温雰囲気中にて貼り合わせる工程と、貼り合わされた第1の単結晶シリコン基板又は第2の単結晶シリコン基板を、シリコン酸化膜の上に所望の厚みの単結晶シリコン層が残るまで研磨あるいはエッチング等により除去する工程とを含むことを特徴とする。

【0018】本発明の半導体基板によると、集積回路の作製中に生じる単結晶シリコン層（SOI層）と単結晶シリコン基板との間の電位差は、導体（あるいはドーパされた半導体）の存在によりゼロあるいはゼロに近い値となる。

【0019】

【発明の実施の形態】以下、図面を参照した本発明の実施の形態を説明する。図1は本発明によるSOI半導体基板の構造を示す模式図であり、(a)はSOI半導体基板の平面図、(b)は(a)の破線X-X'上の断面

図である。このSOI半導体基板は、単結晶シリコン基板101に、シリコン酸化膜等の絶縁膜102、及び金属などの導体もしくはドーパされた半導体104を局所的に埋め込んで構成されている。単結晶シリコン101には、その結晶方向を示すためにオリエンテーションフラットと呼ばれる切断線105が設けられている。絶縁膜102は、例えば数百Å〜数μmの厚さを持っている。

【0020】図2に、図1に示す本発明のSOI半導体基板を利用して形成した回路群の一例の模式図を示す。SOI半導体基板は、単結晶シリコン基板131内に、厚さ数百Å〜数μmの半導体N型シリコン132及び厚さ数百Å〜数μmのシリコン酸化膜（絶縁膜）133を各々局所的に埋め込んで構成されている。

【0021】回路134及び回路136は単結晶シリコン基板131内に絶縁膜133が埋め込まれた領域に形成され、回路135は単結晶シリコン基板131内に半導体132が埋め込まれた領域に形成されている。各回路134、135、136はそれぞれ電氣的に接続され、ある働きを持つ一つの集積回路を形成している。

【0022】回路135を作ろうとする領域の下には埋め込み絶縁膜はなく埋め込み半導体132があるため、イオン注入及びプラズマに被曝する工程では埋め込み半導体132に対してSOI半導体基板の表側に発生する電荷をSOI半導体基板の裏側に逃がす。それゆえ、埋め込み半導体132を挟んだSOI半導体基板の表裏が同電位になる傾向になり、静電気放電による周辺部の埋め込み絶縁膜133の破壊が抑制され、回路135を構成するトランジスタ群の信頼性が高く安定した回路となる。

【0023】次に、図1に示したSOI半導体基板の製造方法について説明する。図3は、本発明によるSOI半導体基板の製造方法の一例を示す工程断面図である。まず、図3（a）に示すように、単結晶シリコン基板161の上に、厚さが数μmのフォトレジスト162を全面に塗布する。次に、図3（b）のように、フォトリソグラフィ工程によって、酸素を単結晶シリコン基板161の中にイオン注入すべき箇所のフォトレジストを除去する。163はフォトリソグラフィ工程によって残ったフォトレジストを示す。次に、図3（c）のように、フォトレジストを163をマスクとして、酸素イオンO<sup>+</sup>を単結晶シリコン基板161中にイオン注入する。酸素イオンをイオン注入するときの加速エネルギーは、埋め込みシリコン酸化膜を単結晶シリコン基板161のどのくらいの深さに形成するかによって決定される。イオン注入時の酸素イオンの量は、 $1.0^{18} \text{ cm}^{-2}$ のオーダーである。次に、図3（d）のように、フォトレジストを除去する。この後、900℃以上のアニールを加えると、単結晶シリコンとイオン注入された酸素原子が反応し、良好なシリコン酸化膜165が形成される。そして、シリ

コン酸化膜165の上には結晶性の良好な単結晶シリコンすなわちSOI層166が形成されることとなる。

【0024】続いて、図3（e）に示すように、新たにフォトリソグラフィ工程によって、シリコンと反応してケイ化物を形成する金属を単結晶シリコンの中にイオン注入すべき箇所以外の箇所にフォトレジスト167層を形成する。このときのイオン注入箇所は、隣接する局所的なシリコン酸化膜165の間に設定される。次に、図3（f）のように、単結晶シリコン基板161中に金属イオンM<sub>1</sub><sup>+</sup>をイオン注入する。このとき注入する金属イオンは、例えば遷移金属イオンであるチタンイオン、タングステンイオンとすることができる。あるいはアルミニウムイオンでもよい。また、複数の金属イオン、例えばチタンイオンとタングステンイオンを同時に注入してもよい。金属イオンをイオン注入するときの加速エネルギーは、埋め込みケイ化物を単結晶シリコン基板161のどのくらいの深さに形成するかによって決定される。次に、図3（g）のように、フォトレジスト膜167を除去する。この後、700℃以上のアニールを加えると、単結晶シリコンとイオン注入された金属が反応し、良好なケイ化物169が形成される。ケイ化物169の上には単結晶シリコン171が存在する。

【0025】図4は、本発明によるSOI半導体基板の製造方法の他の例を示す工程断面図である。図3においては単結晶シリコン基板内にシリコン酸化膜165とケイ化物169とを局所的に埋め込んだが、ここではケイ化物に代えてドーパされた導体あるいは半導体のシリコンを局所的に形成する。図4に示す作製方法の前半の工程、すなわち単結晶シリコン基板161内に絶縁膜としてシリコン酸化膜165を局所的に形成する工程である図4（a）〜（e）及びそれに続くイオン注入用のマスクを形成する工程である図4（e）は図3（a）〜（e）と同一であるので、詳細な説明を省略する。

【0026】図4（f）において、シリコンに固溶して導体あるいは半導体となるドーパントのイオンM<sub>2</sub><sup>+</sup>をイオン注入する。このイオンは、砒素、リン、ボロン等とすることができる。次に、図4（g）のように、フォトレジスト膜167を除去し、800℃以上のアニールを加えると、単結晶シリコンの中にドーパントが導入され、シリコンが導体あるいは半導体173として働くようになる。このドーパされて導体あるいは半導体173として働くシリコンの上には単結晶シリコン175が存在する。

【0027】以上、図3及び図4で説明したSOI半導体基板の製造方法では、酸素イオン、金属イオンあるいはドーパントをイオン注入するとき、注入すべき箇所の選択は、単結晶シリコンの上に塗布したフォトレジスト膜を所望の箇所だけ除去することで行った。しかしながら、イオン注入すべき位置の選択方法は、以下に説明するように、単結晶シリコンの上に塗布したフォトレジス

ト膜を所望の箇所だけ除去して行う方法だけとは限らない。

【0028】図5は、本発明によるSOI半導体基板の製造方法の他の例を示す工程断面図である。まず、図5(a)に示すように、単結晶シリコン基板191上にシリコン酸化膜などの絶縁膜192を形成し、その上にフォトリソ膜193を形成する。次に、図5(b)のように、フォトリソグラフィ工程により、酸素イオンを単結晶シリコン基板191の中にイオン注入すべき箇所のフォトリソ膜と絶縁膜を除去する。194と195はそれぞれ、フォトリソグラフィ工程によって残ったフォトリソ膜と絶縁膜を示す。次に、図5(c)のように、単結晶シリコン基板191中に酸素イオン $O^+$ をイオン注入する。酸素イオン $O^+$ をイオン注入する時の加速エネルギーは、SOI層下に形成されるシリコン酸化膜をSOI層表面からどのくらいの深さに形成するかにより依存する。イオン注入時の酸素イオンの量は、 $10^{14} \text{ cm}^{-2}$ のオーダーである。次に、図5(d)のように、酸素イオン注入後にフォトリソ膜194と絶縁膜195を除去することにより、表面全体が平坦な単結晶シリコン基板191となる。このあと、900℃以上のアニール工程を加えると、単結晶シリコンとイオン注入された酸素イオン原子とが反応し、良好なシリコン酸化膜197が局所的に形成される。シリコン酸化膜197の上には単結晶シリコン層すなわちSOI層198が存在する。

【0029】続いて、図5(e)に示すように、局所的にシリコン酸化膜197が埋め込まれた単結晶シリコン基板191上にシリコン酸化膜などの絶縁膜199を形成し、その上にフォトリソ膜200を形成する。次に、図5(f)のように、フォトリソグラフィ工程により、シリコンと反応してケイ化物を形成する金属イオンを単結晶シリコン基板191の中にイオン注入すべき箇所のフォトリソ膜と絶縁膜を除去する。このイオン注入箇所は、隣接する局所的なシリコン酸化膜197の間に設定される。201と202はそれぞれ、フォトリソグラフィ工程によって残った絶縁膜とフォトリソ膜を示す。次に、図5(g)のように、単結晶シリコン基板191中にシリコンと反応してケイ化物を形成するチタン、タングステン、アルミニウム等の金属イオン $M_{2+}$ を注入する。次に、図5(h)のように、金属イオン注入後フォトリソ膜202と絶縁膜201を除去することにより、表面全体が平坦な単結晶シリコン基板191となる。このあと、700℃以上のアニール工程を加えると、単結晶シリコンとイオン注入された金属イオン原子とが反応し、良好なケイ化物204が局所的に形成される。

【0030】図6は、本発明によるSOI半導体基板の製造方法の他の例を示す工程断面図である。図5で説明した方法では単結晶シリコン基板内にシリコン酸化膜1

97とともにケイ化物204を局所的に埋め込んだが、ここではケイ化物に代えてドーパされた導体あるいは半導体のシリコンを局所的に形成する。図6に示した製造方法の前半の工程、すなわち単結晶シリコン基板191内に絶縁膜としてシリコン酸化膜197を局所的に形成する工程である図6(a)～(d)及びそれに続くイオン注入用のマスクを形成する工程である図6(e)～(f)は図5(a)～(f)と同一であるので、詳細な説明を省略する。

【0031】図6(g)においては、シリコンに固溶して導体あるいは半導体となるドーパントのイオン(ヒ素、リン、ボロン等) $M_2^+$ をイオン注入する。イオン注入する箇所は、隣接する局所的なシリコン酸化膜197の間とする。次に、図6(h)のように、フォトリソ膜202と絶縁膜201を除去し、800℃以上のアニールを加えると、単結晶シリコンの中にドーパントが導入され、シリコンが導体あるいは半導体208として働くようになる。ドーパされて導体又は半導体として作用するシリコン208上には単結晶シリコン210が存在する。

【0032】図3から図6により説明した本発明のSOI半導体基板の製造方法は、半導体シリコン基板に酸素イオンを注入することにより局所的な埋め込み酸化膜を作製したが、埋め込み酸化膜は二枚の単結晶シリコン基板を貼り合わせる方法、いわゆる貼り合わせ法によっても形成することができる。次に、貼り合わせ法による本発明のSOI半導体基板の製造方法について説明する。

【0033】図7は、本発明によるSOI半導体基板を貼り合わせ法によって製造する方法の例を示す工程断面図である。まず、図7(a)に示すように、単結晶シリコン基板221上にシリコン酸化膜などの絶縁膜222を形成し、その上にフォトリソ膜223を形成する。次に、図7(b)のように、フォトリソグラフィ工程によりフォトリソ膜の所望の位置に窓224を開ける。次に、図7(c)のように、フォトリソ膜の窓の箇所の絶縁膜222を除去する。次に、図7(d)のように、絶縁膜上に残っているフォトリソ膜を除去し、シリコンと反応してケイ化物を形成するチタン、タングステン、アルミニウム等の金属膜225を堆積させる。この後、700℃以上の温度でアニールを加えると、図7(e)のように、金属膜225と単結晶シリコン221が反応してケイ化物226を形成する。次に、図7(f)のように、単結晶シリコン基板221の表面を所望の深さまでドライエッチング・研磨等で除去する。この時、表面が研磨されて平らになったケイ化物227中に未反応金属が含有していても問題はない。

【0034】次に、図7(g)において、ケイ化物227が形成された単結晶シリコン基板221上に再び熱酸化によりシリコン酸化膜230を形成し、 $Si_3N_4$ などの絶縁膜228を堆積させた後、フォトリソ膜229

を塗布する。次に、図7(h), (i)に示すように、フォトレジスト229及び絶縁膜228の所望の位置にフォトリソグラフ及びドライエッチングにより窓232を形成する。次に、図7(j)のように、フォトレジスト229を除去する。次に、図7(k)において、熱酸化することによりシリコン酸化膜234を形成する。次に、図7(l)において、研磨などでシリコン基板221を所望の厚さにする。こうして、表面にケイ化物227の領域とシリコン酸化膜236の領域が各々局所的に形成されたシリコン単結晶基板221が得られる。このようにして形成された基板をA基板と呼ぶこととする。

【0035】続いて、図7(m)に示すように、新たな単結晶シリコン基板238(B基板と呼ぶ)を用意する。次に、図7(n)のように、1100℃以上の高温酸素雰囲気中でA基板とB基板をシリコン酸化膜236とケイ化物237を内側にして貼り合わせる。この時、A基板とB基板の周囲にシリコン酸化膜239が形成される。次に、図7(o)のように、シリコン酸化膜236の上に残す単結晶シリコン240が所望の厚さとなるようにB基板の側を研磨する。その結果、シリコン酸化膜236とケイ化物237が単結晶シリコン内に埋め込まれた図1(b)に示すようなSOI半導体基板が完成する。単結晶シリコン基板の周囲のシリコン酸化膜239は除去してもよい。なお、この例では先に導体(ケイ化物)を形成し、その後に絶縁膜を形成しているが、導体と絶縁膜の形成順序は逆にしてもよい。

【0036】図8は、本発明によるSOI半導体基板を貼り合わせ法によって製造する方法の他の例を示す工程断面図である。この例では、熱酸化して埋め込み酸化膜となるシリコン酸化膜を形成し、一方、導体(または半導体)は窪みへの堆積により形成する。

【0037】まず、図8(a)に示すように、単結晶シリコン基板251上にシリコン酸化膜252を形成し、 $\text{Si}_3\text{N}_4$ などの絶縁膜253を堆積させた後、フォトレジスト254を塗布する。次に、図8(b), (c)のように、フォトレジスト254及び絶縁膜253の所望の位置にフォトリソグラフ及びドライエッチングにより窓255を形成する。次に、フォトレジストを除去し熱酸化することにより、図8(d)のように、シリコン酸化膜256を形成する。次に、図8(e)のように、絶縁膜及びシリコン酸化膜を除去することにより窪み257を形成する。次に、図8(f)のように、チタン、タングステンなどの遷移金属やアルミニウムなどの導体又は半導体258を堆積させる。次に、図8(g)のように、CMPなどの研磨装置で体積面を研磨し、導体又は半導体259を所望の厚さにする。

【0038】続いて、図8(h)に示すように、表面に所望の厚さの導体又は半導体259が局所的に形成された単結晶シリコン基板251上にシリコン酸化膜261を形成し、 $\text{Si}_3\text{N}_4$ などの絶縁膜262を堆積させた

後、フォトレジスト263を塗布する。次に、図8(i), (j)のように、フォトレジスト263及び絶縁膜262の所望の位置にフォトリソグラフ及びドライエッチングにより窓260を形成する。次に、図8(j)のように、フォトレジストを除去する。次に、図8(k)のように、熱酸化することによりシリコン酸化膜264を形成する。次に、図8(l)のように、研磨などで単結晶シリコン基板251を所望の厚さにする。このようにして形成された基板をA基板と呼ぶことにする。

【0039】続いて、図8(m)に示すように、新たな単結晶シリコン基板268(B基板と呼ぶ)を用意する。次に、図8(n)のように、1100℃以上の高温酸素雰囲気中でA基板とB基板をシリコン酸化膜266とケイ化物267を内側にして貼り合わせる。この時、A基板とB基板の周囲にシリコン酸化膜269が形成される。次に、図8(o)のように、シリコン酸化膜266の上に残す単結晶シリコン270が所望の厚さとなるようにB基板の側を研磨する。こうして、シリコン酸化膜266とケイ化物267が単結晶シリコン内に埋め込まれた図1(b)に示すようなSOI半導体基板が完成する。

【0040】図9は、本発明によるSOI半導体基板を貼り合わせ法によって製造する方法の他の例を示す工程断面図である。この例では、熱酸化して埋め込み酸化膜となるシリコン酸化膜を形成し、一方、導体(または半導体)はドーパントをイオン注入することにより形成する。

【0041】まず、図9(a)に示すように、単結晶シリコン基板281上にフォトレジスト282を塗布する。次に、図9(b)のように、フォトリソグラフィ工程によりフォトレジスト膜の所望の位置にドーパントを注入するための窓283を開ける。次に、図9(c)のように、シリコンに固溶して導体あるいは半導体となるドーパントのイオン(ヒ素、リン、ボロン等)284をイオン注入する。次に、図9(d)のように、フォトレジストを除去する。次に、図9(e)のように、800℃以上のアニールを加えると、単結晶シリコンの中にドーパントが導入され、シリコンが導体あるいは半導体286として働くようになる。このとき、イオン種のドーパメントによって、シリコンが導体になったり半導体になったりする。なお、次工程のシリコン酸化膜形成のための酸化の温度がイオン種を活性化するのに充分であれば、この図9(e)のアニールは省略可能である。

【0042】続いて、図9(f)に示すように、導体又は半導体のシリコン286が局所的に形成された単結晶シリコン基板281上にシリコン酸化膜287を形成し、 $\text{Si}_3\text{N}_4$ などの絶縁膜288を堆積させた後、フォトレジスト289を塗布する。次に、図9(g)のように、フォトレジスト289及び絶縁膜288の所望の箇

所にフォトリソグラフ及びドライエッチングにより窓290を形成する。次に、図9(h)のように、フォトレジストを除去する。次に、図8(i)のように、熱酸化することによりシリコン酸化膜291を形成する。次に、図9(j)のように、研磨などで単結晶シリコン基板281を所望の厚さにする。こうして、表面にシリコン酸化膜292と導体又は半導体のシリコン293が各々局所的に形成された単結晶シリコン基板281が形成される。このようにして形成された基板をA基板と呼ぶことにする。

【0043】続いて、図9(k)に示すように、新たな単結晶シリコン基板294(B基板と呼ぶ)を用意する。次に、図9(l)のように、1100℃以上の高温酸素雰囲気中でA基板とB基板をシリコン酸化膜292と導体又は半導体のシリコン293を内側にして貼り合わせる。この時、A基板とB基板の周囲にシリコン酸化膜295が形成される。次に、図9(m)のように、シリコン酸化膜292の上に残す単結晶シリコン296が所望の厚さとなるようにB基板の側を研磨する。こうして、シリコン酸化膜292と導体又は半導体のシリコン293が単結晶シリコン内に埋め込まれた図1(b)に示すようなSOI半導体基板が完成する。

#### 【0044】

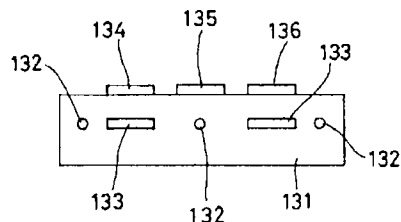
【発明の効果】以上詳細に説明したように、本発明の半導体基板は、その上に集積回路を作製している工程に発生する、単結晶シリコン層(SOI層)と単結晶シリコン基板との電位差が、ゼロあるいはこれに近い値となる。これで、集積回路を作製途中に起こる静電気放電が、従来のSOIウェハを使用する場合に比べて軽減される。これによって、集積回路は安定して動作する。さらには、完成した集積回路も静電気放電の耐性が向上する。

#### 【図面の簡単な説明】

【図1】本発明によるSOI半導体基板の構造を示す模式図。

【図2】本発明のSOI半導体基板を利用して形成した\*

【図2】



\*回路群の一例を示す図。

【図3】本発明によるSOI半導体基板の製造方法の一例を示す工程断面図。

【図4】本発明によるSOI半導体基板の製造方法の他の例を示す工程断面図。

【図5】本発明によるSOI半導体基板の製造方法の他の例を示す工程断面図。

【図6】本発明によるSOI半導体基板の製造方法の他の例を示す工程断面図。

10 【図7】本発明によるSOI半導体基板の製造方法の他の例を示す工程断面図。

【図8】本発明によるSOI半導体基板の製造方法の他の例を示す工程断面図。

【図9】本発明によるSOI半導体基板の製造方法の他の例を示す工程断面図。

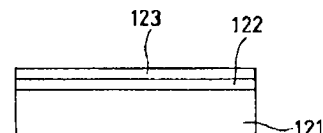
【図10】SOI半導体基板の断面構造図。

【図11】従来のSOI半導体基板の説明図。

#### 【符号の説明】

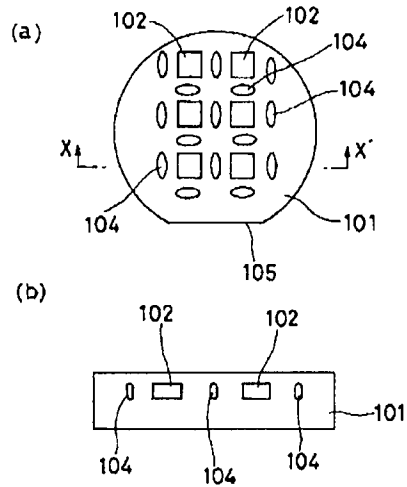
101, 111, 121, 131, 161, 191, 2  
21, 251, 281…単結晶シリコン基板  
102, 112, 133, 165, 197, 236, 2  
66, 292…埋め込みシリコン酸化膜  
173, 208, 293…ドーピングされたシリコン  
169, 204, 227, 237, 267…ケイ化物  
228, 253, 262, 288…絶縁膜  
230…シリコン酸化膜  
162, 163, 167, 193, 194, 200, 2  
02, 223, 229, 254, 263, 282, 28  
9…フォトリソ  
113, 166, 198, 240, 270, 296…S  
OI層  
225…金属膜  
239, 269, 295…シリコン酸化膜  
257…窪み  
258…導体又は半導体

【図10】

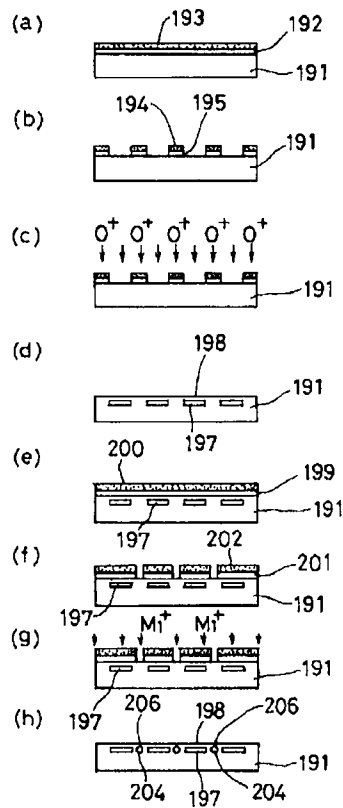




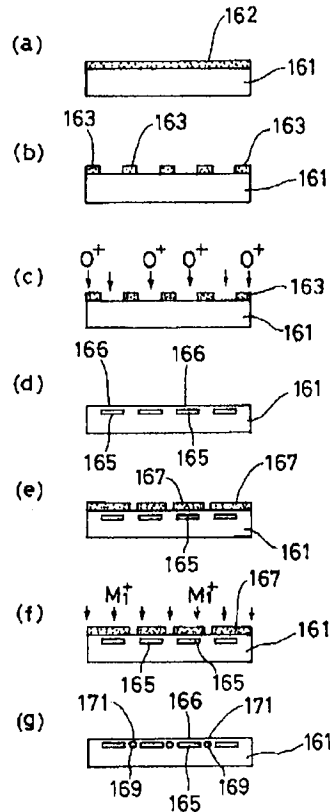
【図1】



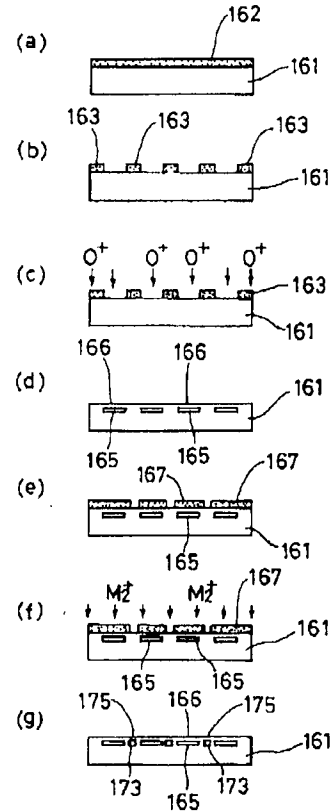
【図5】



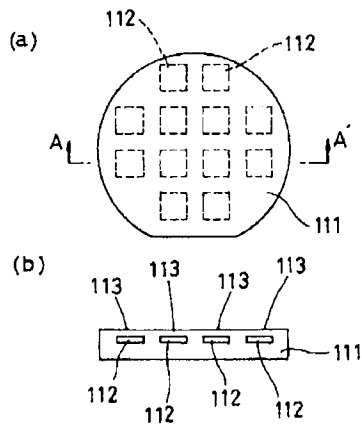
【図3】



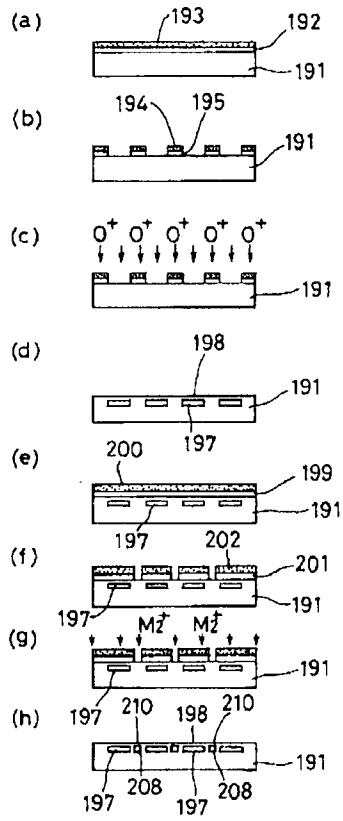
【図4】



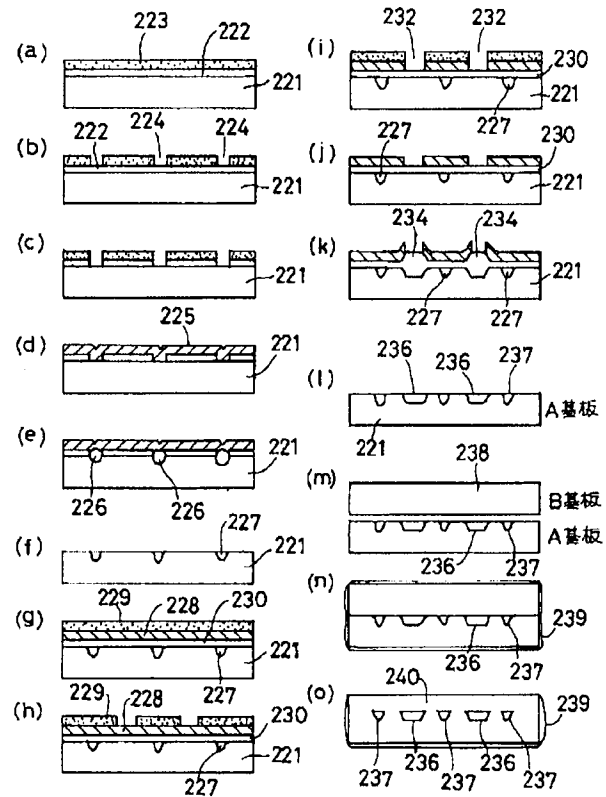
【図11】



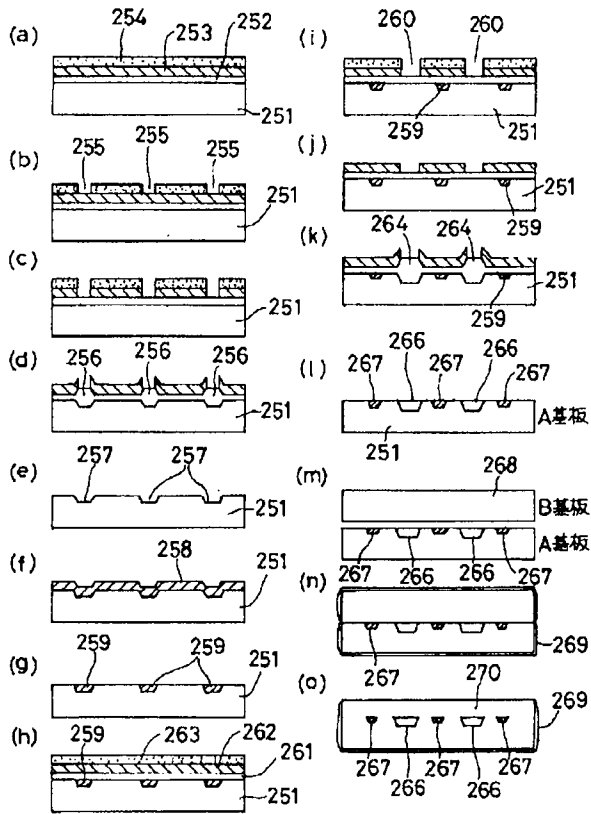
【図6】



【図7】



【図8】



【図9】

